

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

5737878

Basic Patent (No,Kind,Date): JP 61220341 A2 860930 <No. of Patents: 001>

CONTROL OF CHARACTERISTICS OF SEMICONDUCTOR MATERIAL (English)

Patent Assignee: NIPPON TELEGRAPH & TELEPHONE

Author (Inventor): WADA KAZUMI

IPC: *H01L-021/322; H01L-021/268

Derwent WPI Acc No: *G 86-296496;

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applc No	Kind	Date
JP 61220341	A2	860930	JP 8561695	A	850326 (BASIC)

Priority Data (No,Kind,Date):

JP 8561695 A 850326

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

02006241 **Image available**

CONTROL OF CHARACTERISTICS OF SEMICONDUCTOR MATERIAL

PUB. NO.: **61-220341** [JP 61220341 A]

PUBLISHED: September 30, 1986 (19860930)

INVENTOR(s): WADA KAZUMI

APPLICANT(s): NIPPON TELEGR & TELEPH CORP <NTT> [000422] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 60-061695 [JP 8561695]

FILED: March 26, 1985 (19850326)

INTL CLASS: [4] H01L-021/322; H01L-021/268

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R002 (LASERS)

JOURNAL: Section: E, Section No. 482, Vol. 11, No. 59, Pg. 155,
February 24, 1987 (19870224)

ABSTRACT

PURPOSE: To control spatial distribution of energy level density by a method wherein an energy level is formed in the band gap of a semiconductor and defects, which are created and eliminated by treatment such as heat treatment, are created and then reduced to the necessary concentration by local treatment.

CONSTITUTION: Oxygen donor defects of the necessary concentration are introduced intentionally into silicon by low temperature heat transmst. Then the distribution of the oxygen defect concentration is locally heated by local high temperature heat treatment. A p-type silicon substrate 1 is employed and subjected to heat treatment process 2 in an argon atmosphere at 450 deg.C to create oxygen donor defects and converted into an n-type silicon substrate 3. In laser irradiation process 4, the surface of the substrate 3 is scanned by a YAG laser beam 4 for local heat treatment to eliminate the oxygen donor defects locally. Finally, the variation of the carrier concentration of the substrate along the direction perpendicular to the scanning direction is measured by a spread resistance measurement 6. As the oxygen donors are reduced in the region 5 irradiated by the laser and the region 5 is converted into p-type, a p-n junction is formed between the irradiated region and the non-irradiated region.

⑯ 公開特許公報 (A)

昭61-220341

⑮ Int.Cl.

H 01 L 21/322
21/268

識別記号

府内整理番号

⑯ 公開 昭和61年(1986)9月30日

6603-5F
6603-5F

審査請求 有 発明の数 1 (全5頁)

⑰ 発明の名称 半導体材料特性の制御方法

⑯ 特願 昭60-61695

⑯ 出願 昭60(1985)3月26日

⑰ 発明者 和田一実

厚木市森の里若宮3番1号 日本電信電話公社厚木電気通信研究所内

⑯ 出願人 日本電信電話株式会社

東京都千代田区内幸町1丁目1番6号

⑯ 代理人 弁理士 鈴江武彦

外1名

明細書

1. 発明の名称

半導体材料特性の制御方法

2. 特許請求の範囲

(1) 半導体のバンドギャップ中にエネルギ単位を形成しつつ熱処理等の処理により発生・消滅する欠陥を、あらかじめ必要な密度に達するまで半導体に発生させ、然る後に局所的な熱処理、応力印加、電流注入等の処理により当該欠陥を局所的に必要な濃度に低減し、半導体のバンドギャップ中に必要とするエネルギー単位密度の空間的分布を制御することを特徴とする半導体材料特性の制御方法。

(2) 半導体がP型シリコンで、欠陥が酸素ドナ欠陥で、局所的な処理が光照射である特許請求の範囲第(1)項記載の半導体材料特性の制御方法。

(3) 照射する光の波長や強度を選択することによりその光の到達深さを変え酸素ドナ欠陥の濃度低減領域の深さを変化させることによりPN

接合の深さを制御する特許請求の範囲第(2)項記載の半導体材料特性の制御方法。

3. 発明の詳細を説明

〔発明の技術分野〕

本発明は半導体材料の電気的・光学的特性を制御する半導体材料特性の制御方法に関するものである。

〔発明の技術的背景とその問題点〕

半導体の電気的・光学的特性を制御する最も一般的な方法はバンドギャップ中にエネルギー単位を導入することである。エネルギー単位の導入はアクセプタ(シリコンを例にとればⅢ族元素)あるいはドナ(Ⅳ族元素)を不純物として添加することにより行なわれ、これによりP型あるいはN型の半導体基板はそれぞれ作られる。この基板にさらに局所的にエネルギー単位を導入し、面内および厚さ方向に隣接した微細なP型やN型の領域、即ちPN接合を形成することによりLSIに代表される半導体素子は作製される。そこで、素子作製に当っては、エネルギー単位を空

間的に選択性高くかつ高精度に基板に導入・消去する必要があり、このため電子作製技術には上記の不純物を局所的に必要な濃度だけ導入できることが要求されている。

従来の電子製作技術ではP型あるいはN型基板の表面を局所的に被覆しドナあるいはアクセプタをイオン注入あるいは拡散により必要な濃度になるまで導入し、PN接合を局所的に形成していた。しかし、このPN接合形成のための不純物添加の工程は、基板全体を高温で熱処理する工程を含むため材料特性の劣化を生じる。伝導型の反転に多量の不純物導入による電荷の補償を用いるため基板の電気特性を劣化させる、局所的な不純物添加に複雑な工程が必要となり製品コストが高くなる、大掛かりな装置が必要となるため製品コストが高くなる、等の工程に起因する欠点に加え、イオン注入や拡散等による不純物の侵入深さが浅いため、基板表面から深い領域におよぶ半導体接合が作製できないという本質的な問題点もあった。

40,420(1982))。しかし、いずれの方法も酸素ドナ欠陥の導入のみを活用したもので、この欠陥の持つ電荷補償を用いずに熱処理により消去できるという特徴を生かしていない。また前者においては酸素濃度不均一分布が結晶育成時の育成速度変動によって導入されるため基板径方向においてはPN接合を形成することができず、酸素ドナ欠陥分布形成の空間的制御精度が低く、後者においては、その精度は高いもののイオン注入装置を使用する点で従来の手法と大きな相違はない。

また基板面内の局所的な領域を深いところでPN接合を作製したというような報告はない。

[発明の目的]

本発明は上記の事情に鑑みてなされたもので、所謂ドナ不純物を用いずに、かつ任意の深さに半導体接合を作製し得る半導体材料特性の制御方法を提供することを目的とするものであり、以下に図面について詳細に説明する。

PN接合の形成にドナ不純物を用いない方法として、シリコン中のドナタイプの欠陥を活用する次のような方法が提案された。シリコン中の酸素は単独ではエネルギー単位を形成しないが、複数個集合し結晶欠陥を形成するとドナ(酸素ドナ欠陥)となることおよび高温の熱処理により消去することができる事が知られている。提案者はP型引上げ結晶中の酸素濃度を育成条件により周期的に変化させ、然后に酸素ドナを発生させる熱処理を施すことにより酸素ドナ欠陥濃度の周期的変動を結晶引上げ方向に形成した。カイその他、アイアイアイ・トランサクションズ ED-27.1306, 1980(Chi et al. IEEE transactions ED-27.1306(1980))。これにより結晶育成時に均一に導入したアクセプタと酸素ドナ欠陥によりPN接合を形成した。提案者はさらに、P型基板に酸素をイオン注入し酸素ドナ欠陥を形成することにより、同様にPN接合の形成を報告している。カイその他、アプライド・フィジックス・レター 40,420,1982(Chi et al. Appl. Phys. Lett.)。

[発明の実施例]

第5図および第6図は本発明者により明らかにされたシリコン中の酸素ドナ欠陥の最大濃度の熱処理温度依存性およびこの最大濃度に達するに要する熱処理時間をそれぞれ示しているフィジカル・レビュー・B-30.5884.1984(Physical Review B-30.5884(1984))。基板の酸素濃度が $0.5, 1, 2 \times 10^{18} \text{ cm}^{-3}$ の場合を示している。これらの図より低温ほど酸素ドナ欠陥の濃度は高くなること、また最大濃度に達するに必要な時間が長くなることが定量的に示される。例えば、450度Cの熱処理では約 10^{16} cm^{-3} の酸素ドナ欠陥が約80時間で発生すること、また、発生したドナ欠陥は1400度Cの熱処理では 10^{-5} 秒程度の短時間で 10^{10} cm^{-3} 程度の低濃度に低減されることが分る。したがって、これらの図に示される条件で低温の熱処理を行なうことにより酸素ドナ欠陥をシリコン中に必要な濃度だけ意図的に導入し、次に同図に示される条件で高温の熱処理を局所的に行なうことによ

より酸素ドナ欠陥濃度分布を局所的に制御することができる。このための手順を第1図に示す。即ち、基板にはメロン濃度が 10^{15}cm^{-3} で酸素ドナ欠陥の原因となる酸素濃度が 10^{18}cm^{-3} のP型シリコン基板1を用いた。次に、熱処理工程2で酸素ドナ欠陥を発生させるため基板をアルゴン雰囲気中で450度Cで70時間熱処理した。この処理により基板を酸素ドナ欠陥濃度 10^{14}cm^{-3} のN型シリコン基板3にした。次にレーザ照射工程4で第2図に示すように酸素ドナ欠陥を局所的に消去するためYAGレーザ(波長0.53μm、強度40mW)のビーム(径:0.1mm)4で基板3上を0.2mmの間隔でスキャンすること(スキャン速度:1mm/秒)により局所的な熱処理を行なった。5はレーザ照射領域である。最後に、抵抗測定(SR)工程5でスキャンの方向と直角に基板のキャリヤ濃度の変動を描がり抵抗測定(SR)法により測定した。第2図の基板3はチークラルスキ法により育成したP型シリコン結晶である。この例では基板3がシリコンの融点

の加熱領域の大きい方法によっても、リソグラフィ等の手段の併用により、局所的にPN接合を作製することができる。

一方、上記の例ではPN接合の位置を基板を斜研磨してPN接合の深さを測定した結果、PN接合は深いところで基板表面からおよそ1μmの領域に存在していた。次にYAGレーザの1.06μmの発振波長を用い第1図のように局所的に熱処理した基板におけるPN接合の深さを測定した結果を第4図に示す。表面から50μmの領域にPN接合が形成されていることが分る。これはシリコン結晶が0.53μmの波長の光より1.06μmの光を良く透過させる性質を持つことに起因している。これまでこれほど深いPN接合が形成された例はなく、本方法によって初めて実現されたものである。この例で明らかにシリコン結晶の透過率の波長依存性を考慮して照射する光の波長や強度を選択することによりPN接合を表面近傍に局在化させたり、あるいは基板内部にまで形成することができる。

(1420度C)に近い1400度Cの温度になるよう 10^{-5} 秒間レーザパルスを繰返し照射しながら、レーザビームをスキャンした。第3図はレーザ照射後、基板3のレーザ照射領域(P領域)5およびレーザ非照射領域(N領域)3のキャリヤ濃度をSR法により測定した結果を示している。レーザ照射領域5は酸素ドナ欠陥が低減されて 10^{15}cm^{-3} のP型となり、照射・非照射領域の間にPN接合5ができる。このことから、複雑なマスク工程なしにPN接合を形成することができることがわかる。さらに、この例に示されるようにP型に回復した領域の幅はレーザビーム4の直径、0.1mmに対応していたことから、レーザビーム4の径を狭ることにより微細な酸素ドナ欠陥の濃度分布を形成しうる。さらに酸素ドナ欠陥を発生させたシリコン基板にリソグラフィによりアルミニウムのパターンを形成しその上と同じレーザビーム2で全面照射しても、同様の結果が得られることから、この方法を用いれば、フラッシュランプ等

本実施例ではシリコン中の酸素ドナ欠陥を用いる場合のみの説明をしてきたが、その他の欠陥でも熱処理によってその濃度を増減しうる欠陥(発生・消滅する欠陥)であれば、当然本手法が有効なことは言うまでもない。

また、上記実施例では局所的な熱処理としてレーザビームによる光照射の場合について説明したがこれに限らず、他の熱処理、あるいは应力印加、電流注入等の処理により欠陥を局所的に必要な濃度に低減することができる。

[発明の効果]

以上述べたように本発明によれば、複雑な工程を用いたりすることなく、また大掛かりな不純物添加装置を用いたりすることなく、シリコン中にPN接合を任意の深さに形成することができる。さらに高温熱処理や電荷補償を使わないため、材料特性の劣化が生じない等、大きな利点が生じる。また、深い領域におよびPN接合が形成できることは、従来極めて困難なことであり、多方面に亘る応用が考えられるが、その

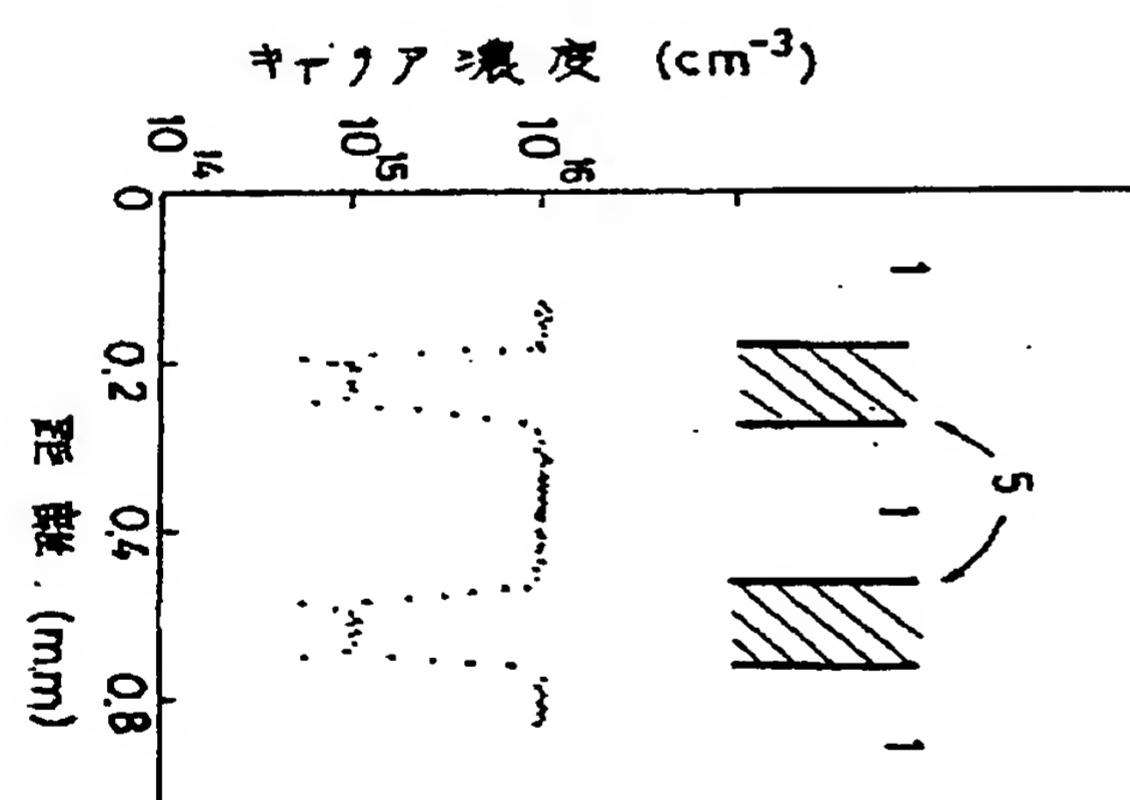
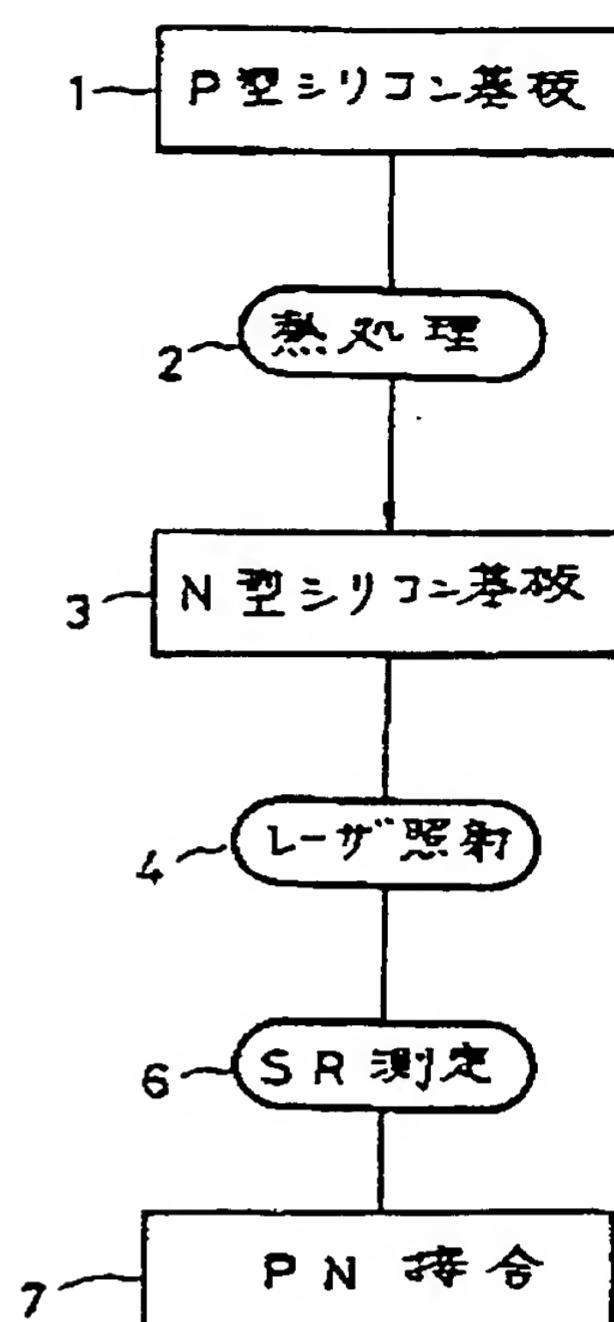
一例として、電子間分離用に深くシャープなPN接合を利用することにより電子の高密度化に大きなインパクトを与える。

4. 図面の簡単な説明

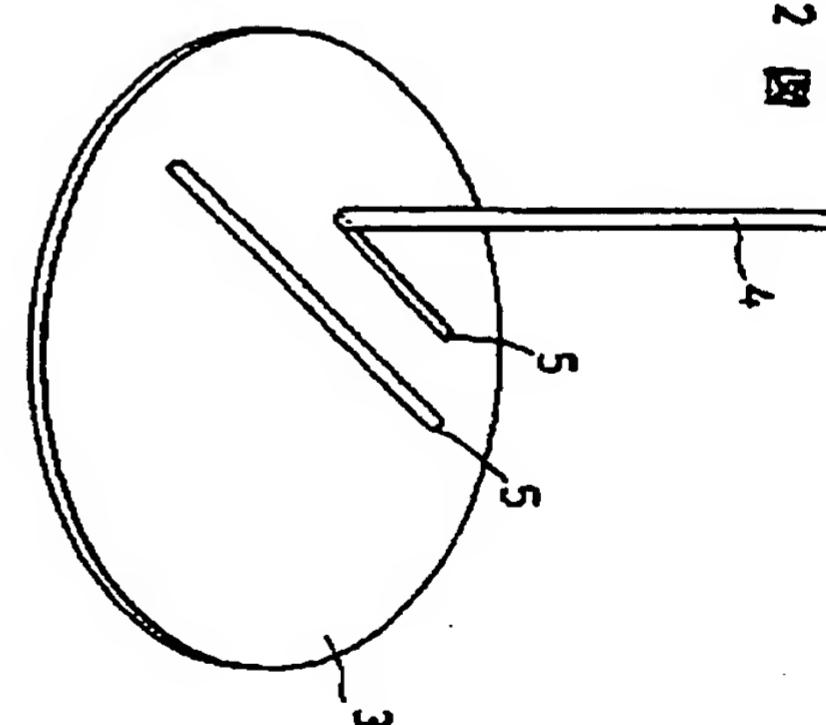
第1図は本発明の一実施例で半導体基板の処理手順を示す図、第2図は本発明に係る基板中のエネルギー単位の濃度分布を制御するためのレーザ照射の一例を示す模式図、第3図は本発明に係るSR法により測定されたYAGレーザを照射し酸素ドナ欠陥を消去した基板表面の電子濃度分布の一例を示す図、第4図は本発明に係るレーザの波長を変えた場合のPN接合の形成された深さの一例を示す図、第5図は熱処理により発生する酸素ドナ欠陥濃度の最大値の熱処理時間依存性の一例を示す図、第6図は酸素ドナ欠陥濃度の最大値に達するに要する熱処理時間の熱処理温度依存性の一例を示す図である。

3—N型シリコン基板、4—レーザビーム、
5—レーザ照射領域。

第1図

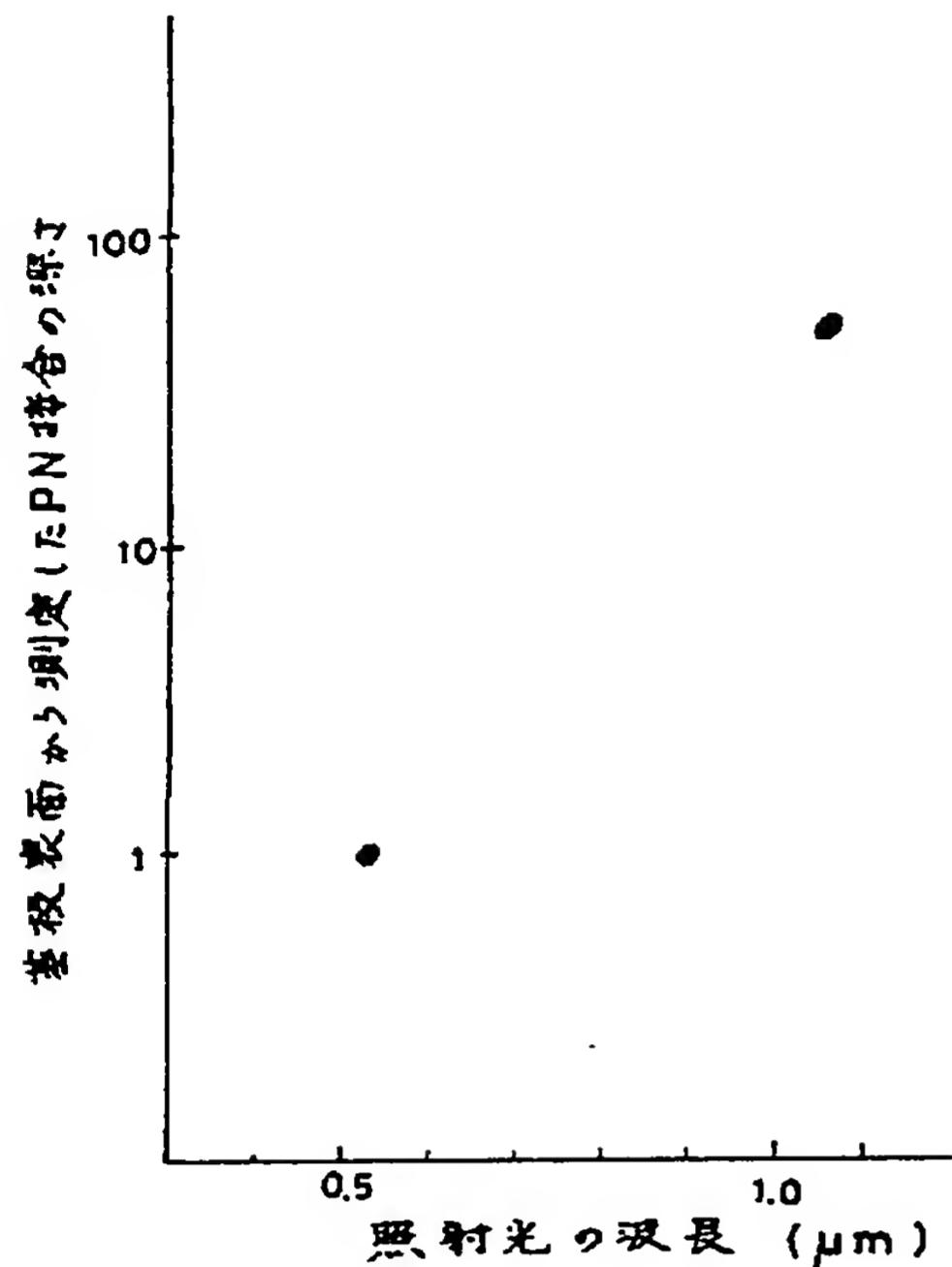


第3図

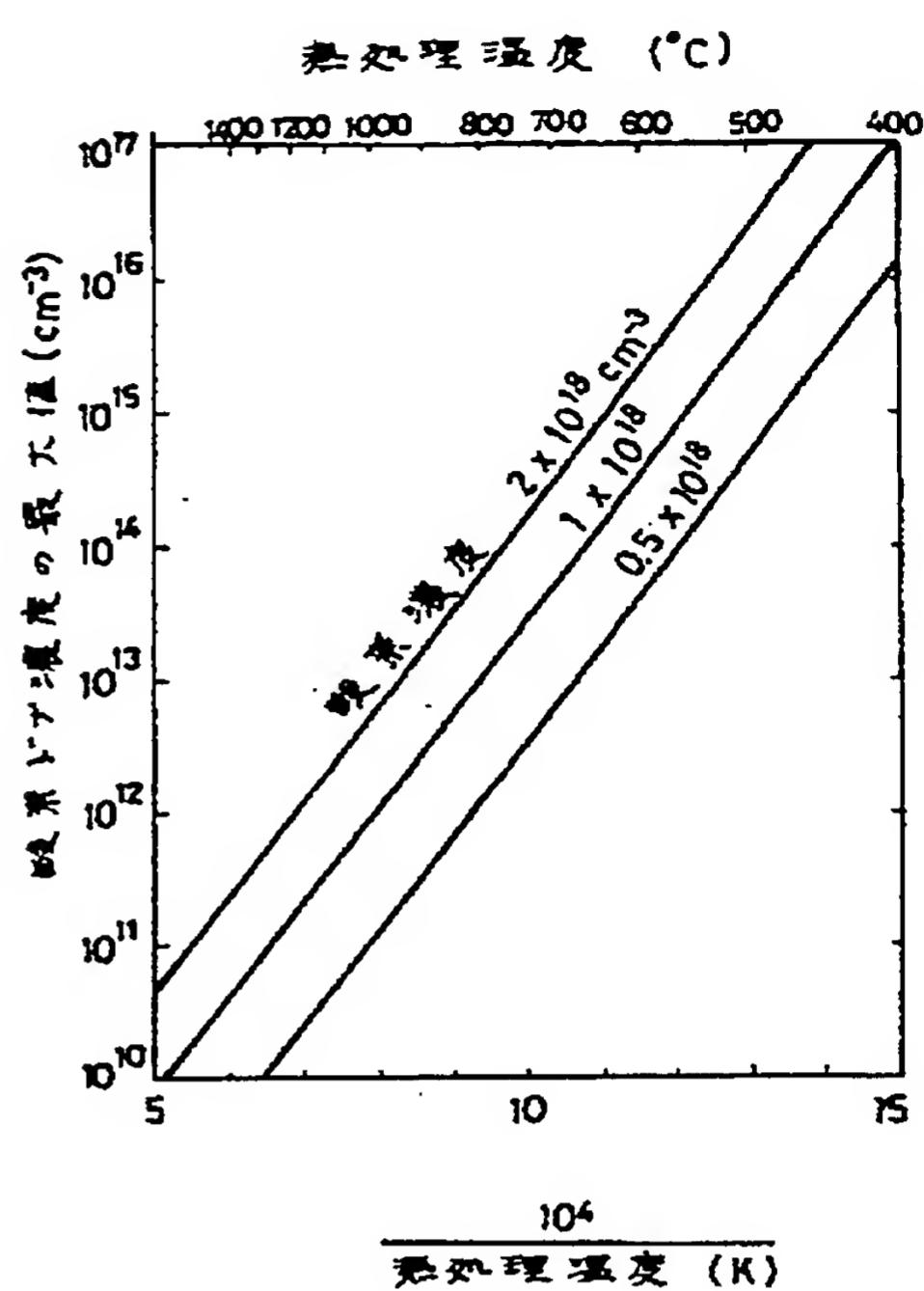


第2図

第4図



第5図



第6図

